

# SISTEMA DE MEDICAO DE ENERGIA E MONITORIA DA QUALIDADE DA REDE ELÉTRICA

**Santos, H. L. M.**

Escola Politécnica de Pernambuco  
Universidade de Pernambuco  
50.720-001 - Recife, Brasil  
hlms@ecomp.poli.br

**Oliveira, J. P. G.**

Escola Politécnica de Pernambuco  
Universidade de Pernambuco  
50.720-001 - Recife, Brasil  
jpgo@ecomp.poli.br

**Resumo** *Este artigo apresenta o modo de construção para um protótipo para análise da qualidade da rede elétrica através da monitoração de alguns parâmetros. O sistema foi proposto para funcionar em uma arquitetura reconfigurável, um FPGA, utilizando o software Quartus II e a ferramenta SOPC Builder para a sua concepção. A placa Altera DE2 foi o hardware de desenvolvimento escolhido para fins de implementação do projeto. Esse trabalho resultou de um código VHDL para implementação de um sistema de monitoramento de qualidade de energia elétrica.*

**Abstract** *This paper introduces how to build a prototype for analysis of the quality of the power grid by monitoring some parameters. The system has been proposed to function in a reconfigurable architecture, an FPGA using the Quartus II software and SOPC Builder tool to their design. The DE2 board Alters the hardware development was chosen for implementation of the project. This work resulted in a VHDL code for implementing a monitoring system for power quality.*

## 1 Introdução

A qualidade da energia elétrica fornecida é fundamental para todos os envolvidos numa rede, tanto as empresas de distribuição quanto os consumidores. Portanto são de interesse de usuários e distribuidores uma maneira de monitorar e verificar a qualidade da energia elétrica. Problemas relacionados ao fornecimento de energia podem gerar grandes prejuízos, principalmente aos que dependem da eletricidade para realizar suas atividades econômicas. Então um sistema que analise ajudando numa possível detecção de problemas pode ser uma solução importante na qualidade de energia elétrica.

“A utilização de monitorizadores de qualidade de energia é a melhor forma de detectar e diagnosticar problemas nos sistemas elétricos de potência. Estes equipamentos permitem, basicamente, medir e registrar ao longo do tempo valores de tensões, correntes e potências em vários canais.” [1].

A monitoração da qualidade da energia através dos medidores inteligentes nas chamadas “smart grids” (redes inteligentes) pode trazer alguns benefícios como identificação de furtos de energia, localização de consumos exagerado, provocando uma economia de energia.

Por meio da medição de tensão, corrente, potência e distorção harmônica são possíveis analisar alguns fenômenos como interrupções, variações de tensão de curta e longa duração, oscilações na tensão e transitórios. A partir desses dados extraímos informações para definir a qualidade do fornecimento de energia e ainda encontrar e corrigir problemas na rede elétrica.

Os produtos existentes para monitoramento da qualidade de energia elétrica são caros. Por isso desenvolver uma solução barata e eficaz é importante.

O sistema de qualidade de energia vai calcular as grandezas e registra-las para que o usuário verifique através de uma interface de fácil utilização os parâmetros e as inferências do sistema sobre a qualidade da rede.

## 2 Estrutura do sistema

O primeiro ponto do projeto para a construção do sistema foi à definição da estrutura do nó necessário para implementar os cálculos dos parâmetros de qualidade e fazer a comunicação com um computador. Depois de verificada as condições oferecidas pela rede elétrica local, começou a definição sobre a estrutura do sistema. O diagrama foi então elaborado de acordo com as condições locais. Onde foi decidido colocar um transformador reduzindo a tensão para entrada num conversor A/D.

Diante de outra dificuldade, em que a tensão aparece de modo alternado, e apresentando valores negativos, não podendo ser desse modo entrada de um conversor A/D foi introduzido um retificador de onda. Definidos esses componentes é possível colocar esse sinal como entrada de um FPGA, dispositivo escolhido para a análise do sinal, pois possui uma boa flexibilidade. Após os cálculos das grandezas, foi escolhido o protocolo ethernet como modo de comunicação. O protocolo ethernet foi escolhido devido à facilidade de encontrar nos computadores e também uma possível integração futura com a internet.

A figura 1 mostra o esquema definido para o sistema de medição e monitoramento de energia.

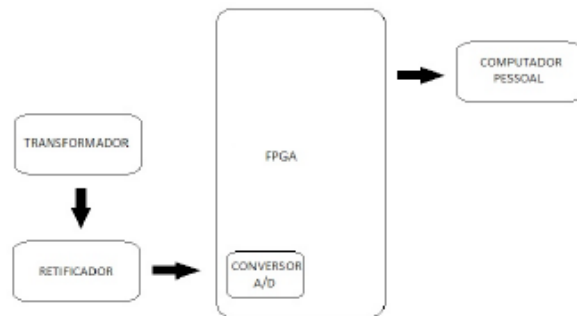


Fig 1. Esquema do sistema de medição.

## 3 Definição de cálculos dos parâmetros

Por ser um projeto de medição de qualidade, precisamos de uma forma de medição que não tenha limitações. O cálculo da tensão e corrente eficazes, feito, por exemplo,  $V_{rms} = V_{pico}/\sqrt{2}$  só fornece valores corretos para formas de ondas senoidais sem distorção. Com apoio do documento “RMS Calculation for Energy Meter Applications” [2] e no artigo de “Kazuo Nakashima” [3] foi definido a medição da tensão eficaz através do TRUE RMS apresenta os valores corretos para qualquer forma de onda.

Foram definidos os cálculos das métricas para o algoritmo:

Tensão Eficaz:

$$V_{rms} = \sqrt{\frac{1}{N} \times \sum_{i=1}^n V^2(i)} \quad (1)$$

Corrente Eficaz:

$$I_{rms} = \sqrt{\frac{1}{N} \times \sum_{i=1}^n i^2 (i)} \quad (2)$$

Taxa de distorção harmônica:

$$TDH = \frac{\sqrt{\frac{1}{N} \sum_{i=1}^n V_h^2 (i)}}{V_1} \quad (3)$$

$$\text{Fator de potência} = \frac{\text{potência ativa}}{\text{potência aparente}} \quad (4)$$

$$\text{Potência aparente} = V_{RMS} \times I_{RMS} \quad (5)$$

## 4 Sistema no FPGA

O próximo passo do projeto é a implementação do código em VHDL do sistema necessário para o monitoramento do sinal no FPGA. Durante essa fase, usou-se o software Quartus II para a geração do código. Também fez necessária a escolha de uma placa de desenvolvimento para o sistema. A placa que foi utilizada foi a Altera DE-2.

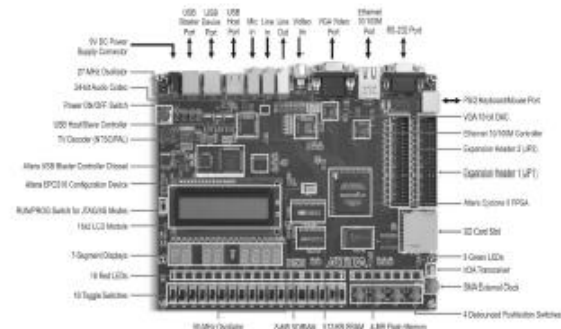


Fig 2. Altera DE-2.

A placa Altera DE2 que conta com recursos como:

- Altera Cyclone II 2C35 dispositivo FPGA
- Display de LCD 16x2
- 8 Mbytes SDRAM
- interruptores de pressão

- 18 interruptores
- Outros.

Após essas escolhas, foi definido um esquema dos módulos, entradas e saídas do sistema.

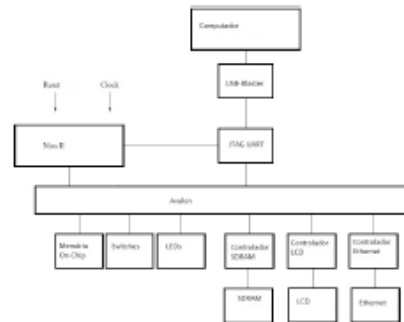


Fig 3. Estrutura do sistema do FPGA

Com ajuda do livro [4] para entender a estrutura básica de VHDL usando o SOPC Builder, construiu-se o esquema proposto. A partir daí os componentes foram sendo escolhidos e adicionados ao projeto.

Dentre os três possíveis tipos de processadores da família Nios II, sendo:

- Nios II/e: Econômico
- Nios II/s: Equilibra custo e desempenho
- Nios II/f: Maior desempenho e maior custo

Selecionou o processador Nios II/e de 32 bits de arquitetura RISC. O processador de menor tamanho e econômico, mas suficiente para o projeto.

Sobre a memória no-chip, foi incluída uma memória Memória RAM com tamanho da palavra de 32 bits e de 32 Kbytes de capacidade.

Entradas e saídas de dados paralelos também foram incluídas para leitura e saída de dados. Foram usadas as chaves da placa DE-2 (switches) como entrada de dados para simular a entrada digital do sistema. Posteriormente será utilizado outro modo de entrada de dados.

O JTAG UART necessário para fazer a comunicação entre o processador Nios II e o computador foi adicionado e utilizado para fazer a gravação do hardware na placa.

Um botão será utilizado para mudar a saída apresentada no LCD, portanto foi incluído.

O controlador de memória SDRAM também é necessário ao projeto. Na memória serão guardados os valores da tensão e corrente para calcular potência, tensões e correntes eficazes. A memória SDRAM tem 8 MBytes com largura de dados de 16 bits.

Incluído um controlador do LCD utilizado para mostrar as variáveis calculadas e um controlador ethernet utilizado para realizar a comunicação dos dados obtidos.

Depois de adicionados os componentes e ajustados os endereços base dos componentes o sistema se apresenta na moda da figura 4.

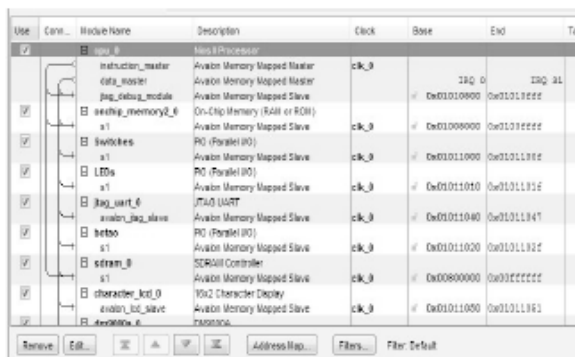


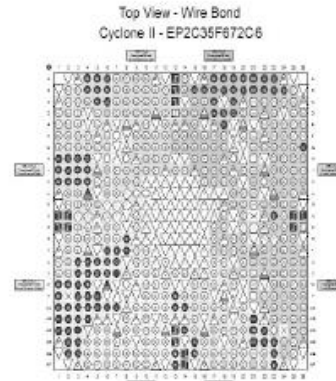
Fig 4. Sistema no SOPC

Definido o sistema, o próximo passo foi definir a entidade completa do sistema, integrando em VHDL (Figura 5) e atribuindo-os aos pinos da placa Altera DE2 (Figura 6).

```

SistemaNios.vhd
17  DRAM_CLK, DRAM_CHE : OUT STD_LOGIC;
18  DRAM_ADDR : OUT STD_LOGIC_VECTOR(11 DOWNTO 0);
19  DRAM_BA_0, DRAM_BA_9 : BUFFER STD_LOGIC;
20  DRAM_CS_0, DRAM_CAS_0, DRAM_RAS_0, DRAM_WE_0 : OUT STD_LOGIC;
21  DRAM_DQ : INOUT STD_LOGIC_VECTOR(16 DOWNTO 0);
22  DRAM_UDQ0, DRAM_LDQ0 : BUFFER STD_LOGIC;
23  --
24  -- LCD
25  LCD_DATA : inout std_logic_vector (7 downto 0);
26  LCD_SW : out std_logic;
27  LCD_SELECT : out std_logic;
28  LCD_RW : out std_logic;
29  LCD_RS : out std_logic;
30  LCD_RST : out std_logic;
31  --
32  --Ethernet
33  --
34  ENET_CLK: OUT STD_LOGIC;
35  ENET_CND: OUT STD_LOGIC;
36  ENET_CS_0: OUT STD_LOGIC;
37  ENET_DATA: INOUT STD_LOGIC_VECTOR (15 DOWNTO 0);
38  ENET_INT: IN STD_LOGIC;
39  ENET_RD_0: OUT STD_LOGIC;
40  ENET_RST_0: OUT STD_LOGIC;
    
```

Fig 5. Parte do código em VHDL da entidade do projeto.



Location	IO Bank	IO Pin	VDD Group	IO Standard	Reserved
PB_05	3	B5_05	3.3V LUT1 (Default)		
PB_03	3	B5_03	3.3V LUT1 (Default)		
PB_04	3	B5_04	3.3V LUT1 (Default)		
PB_06	3	B5_06	3.3V LUT1 (Default)		
PB_08	3	B5_08	3.3V LUT1 (Default)		

Fig 6. Pinagem do FPGA

## 5 Camada de software

A próxima etapa foi desenvolvimento da camada de software que irá funcionar sobre o processador nios II na linguagem C.

O software construído foi simples somente com intuito de calcular tensão eficaz, testando o funcionamento básico sistema em escrito VHDL.

A Nios II 9.1 IDE foi usada para a construção do software responsável pela análise dos sinais.

## 6 Resultados

Os resultados desse projeto foram a definição de métodos de cálculo das grandezas necessária para a medição de qualidade de energia, a definição da estrutura necessária de um sistema de medição, e implementação do processador no dispositivo VHDL da placa Altera DE-2. Os códigos gerados em VHDL e em C para o processador também são os produtos finais do projeto.

## 7 Conclusões

O projeto descreveu um novo modo de sistema de monitoração de parâmetros utilizados para inferir a qualidade da energia elétrica. Uma solução barata e inovadora, que viabiliza a transmissão dos parâmetros para o monitoramento remoto.

## Referências

- [1] J. S. Martins, C. Couto, J. L. Afonso, “Qualidade de energia eléctrica, 3º Congresso Luso-Moçambicano de Engenharia – CLME’2003, Maputo, Moçambique, 19-21 Agosto 2003, pp. 219-231.
- [2] E. Mouli, “RMS Calculation for Energy Meter Applications Using the ADE7756”, Analog Devices, 2003.
- [3] K. Nakashima, “Valor Médio e Eficaz”, 2007.
- [4] C. Costa, Projetos de Circuitos Digitais com FPGA, 2009.