

# Sistema de medição de energia e monitoração da qualidade da rede elétrica

*ENERGY MEASUREMENT AND QUALITY MONITORING SYSTEM FOR THE ELECTRICAL GRID*

**Santos, H. L. M.**

Escola Politécnica de Pernambuco  
Universidade de Pernambuco  
50.720-001 - Recife, Brasil  
hlms@ecom.poli.br

**Oliveira, J. P. G.**

Escola Politécnica de Pernambuco  
Universidade de Pernambuco  
50.720-001 - Recife, Brasil  
jppo@ecom.poli.br

## **Resumo**

*Este artigo apresenta os resultados de um estudo para implementação de um sistema para análise da qualidade da rede elétrica por meio da monitoração de alguns parâmetros. O sistema foi proposto para funcionar em uma arquitetura reconfigurável, um FPGA, e foi desenvolvido utilizando-se o software Quartus II e a ferramenta SOPC Builder, da empresa Altera. A placa DE2, também da Altera, foi o hardware de desenvolvimento escolhido para fins de implementação do projeto. Esse trabalho apresentou como principal resultado um código VHDL do sistema de monitoramento de qualidade de energia elétrica.*

**Palavras-Chave:** *Medição de energia, Monitoramento da Qualidade de Energia*

## **Abstract**

*This paper introduces how to build a prototype for analysis of the quality of the electrical grid by monitoring key parameters. The system has been proposed to function in a reconfigurable architecture, an FPGA using the Quartus II software and SOPC Builder tool. The DE2 board from Altera was the chosen hardware platform for system implementation. This work resulted in a VHDL code for implementing a monitoring system for energy quality.*

**Keywords:** *Energy Measurement, Energy Quality Monitoring*

## 1 Introdução

A qualidade da energia elétrica fornecida é fundamental para todos os envolvidos num sistema de distribuição de energia elétrica, tanto as empresas de distribuição quanto os consumidores. Portanto, é de interesse desses agentes uma maneira de monitorar e verificar a qualidade da energia elétrica. Problemas relacionados ao fornecimento de energia podem gerar grandes prejuízos, principalmente aos que dependem da eletricidade para realizar suas atividades econômicas. Então, um sistema capaz de detectar problemas na rede elétrica pode representar uma importante ferramenta para o monitoramento da qualidade da energia [1]. Alguns autores consideram que o monitoramento da qualidade de energia por meio da medição dos valores de tensões, correntes e potências em vários canais é a melhor forma de detectar problemas nos sistemas elétricos [2].

A monitoração da qualidade da energia usando medidores inteligentes nas chamadas redes inteligentes (*smart grids*) pode trazer alguns benefícios, como identificação de furtos de energia e localização de consumos exagerados, provocando uma economia de energia.

É possível analisar alguns fenômenos como interrupções, variações de tensão de curta e longa duração, oscilações na tensão e transitórios por meio da medição de tensão, corrente, potência e distorção harmônica. E a partir desses dados extrair informações para definir a qualidade do fornecimento de energia e ainda encontrar e corrigir problemas na rede elétrica.

No entanto, os produtos existentes para monitoramento da qualidade de energia elétrica são caros. Por isso desenvolver uma solução barata, flexível e eficaz é importante.

O sistema de qualidade de energia deve calcular as grandezas e registrá-las para que o usuário verifique, com auxílio de uma interface de fácil utilização, os parâmetros e as inferências do sistema sobre a qualidade da rede.

## 2 Estrutura do sistema

O primeiro ponto abordado na construção do projeto do sistema de monitoramento foi a definição da estrutura do nó necessário para implementar os cálculos dos parâmetros de qualidade e realizar a comunicação com um computador. Após a verificação das condições oferecidas pela rede elétrica local, foi definida a estrutura do sistema. O diagrama foi então elaborado de acordo com as condições locais.

A solução inicial para redução da tensão foi colocar um transformador, assim diminuindo a amplitude do sinal para entrada num conversor Analógico/Digital (A/D). O conversor A/D foi incluído no sistema com o propósito de obter os valores digitais dos sinais de tensão e corrente, a fim de que esses sejam processados para uma posterior análise. Uma outra dificuldade do projeto foi o fato de o sinal de tensão ser apresentando de modo alternado, implicando valores negativos de tensão e dificultando o processo de conversão do A/D. Por isso foi introduzido um retificador de onda após a saída do sinal do transformador.

Definidos os componentes mencionados anteriormente e as suas disposições no sistema, é possível colocar o sinal como entrada de um *Field Programmable Gate Array* (FPGA), que foi o dispositivo escolhido para a análise do sinal durante a pesquisa, pois possui uma boa flexibilidade para a realização dos testes. O padrão Ethernet foi definido como a interface de comunicação do sistema. Esse protocolo foi escolhido devido à disponibilidade e também uma possível integração futura com a internet.

A figura 1 mostra o diagrama em blocos definido para o sistema de medição e monitoramento de energia.

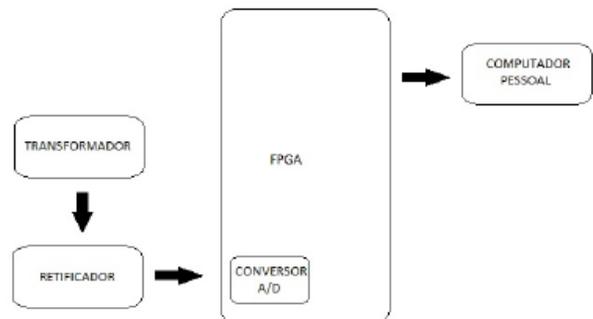


Figura 1: Esquema do sistema de medição.

## 3 Definição de cálculos dos parâmetros

Por ser um projeto de medição de qualidade, é necessário utilizar uma forma de medição que possua poucas limitações. O cálculo da tensão e corrente eficazes direto,  $V_{rms} = V_{pico}/\sqrt{2}$ , só fornece valores corretos para formas de ondas senoidais sem distorção. Portanto, não deve ser utilizado para sinais de natureza arbitrária. Com apoio do documento “RMS Calculation for Energy Meter Applications” [3] e no artigo de “Kazuo Nakashima” [4] foi definida a forma de cálculo para medição da tensão eficaz TRUE RMS que apresenta os valores corretos para qualquer forma de onda.

As formulas (1) até (6) definem cálculos das métricas da energia elétrica para o algoritmo de monitoramento da qualidade da rede:

Tensão Eficaz:

$$V_{rms} = \sqrt{\frac{1}{N} \sum_{i=1}^n V^2(i)} \quad (1)$$

Corrente Eficaz:

$$I_{rms} = \sqrt{\frac{1}{N} \sum_{i=1}^n i^2(i)} \quad (2)$$

Taxa de Distorção Harmônica:

$$TDH = \frac{\sqrt{\frac{1}{N} \sum_{i=1}^n V_h^2(i)}}{V_1} \quad (3)$$

Fator de Potência:

$$FP = \frac{\text{potência ativa}}{\text{potência aparente}} \quad (4)$$

Potência Aparente:

$$PA = V_{RMS} \times I_{RMS} \quad (5)$$

## 4 Sistema no FPGA

Esta seção descreve a definição dos recursos e as estruturas utilizadas para tornar possível a implementação do código em VHDL do sistema de monitoramento do sinal da energia na plataforma FPGA. Durante essa fase, foi utilizada a ferramenta Quartus II, da Altera, para a geração do código de monitoramento. Inicialmente foi realizada a escolha de uma placa de desenvolvimento para o sistema. A placa escolhida foi a Altera DE-2 devido à disponibilidade durante o projeto. A figura 2 ilustra a placa de prototipação de circuitos Altera DE-2.

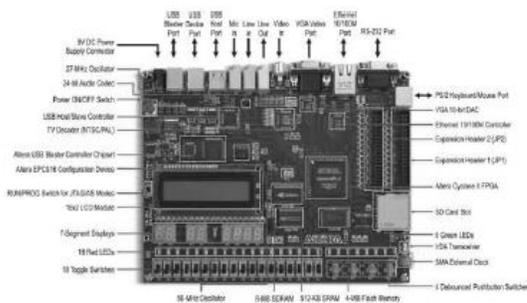


Figura 2: Ilustração da placa de desenvolvimento DE-2 utilizada.

A placa Altera DE2 oferece alguns recursos como:

- Altera Cyclone II 2C35 dispositivo FPGA
- Display de LCD 16x2
- Mbytes SDRAM
- interruptores de pressão
- 18 interruptores

Após as escolhas citadas anteriormente, foi definido o esquema dos módulos internos, entradas e saídas do sistema. Esses módulos foram escolhidos a partir dos módulos disponíveis pela placa de prototipação.

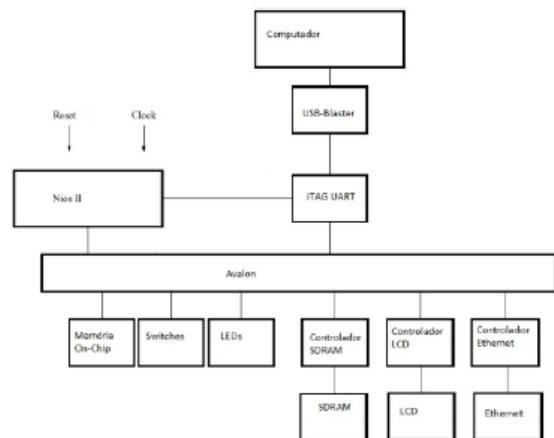


Figura 3: Estrutura do sistema do FPGA.

Os conceitos básicos de VHDL foram inicialmente estudados e entendidos utilizando literatura disponível [5]. E usando o SOPC Builder, construiu-se o esquema proposto na figura 3. A partir daí os componentes foram definidos de acordo com a necessidade do sistema e foram adicionados gradativamente ao projeto.

Dentre os três possíveis tipos de processadores da família Nios II selecionou-se o processador Nios II/e de 32 bits de arquitetura RISC. Portanto o processador de menor tamanho e econômico, porém, suficiente para o projeto. Outras possibilidades eram:

Nios II/s: Equilibra custo e desempenho

Nios II/f: Maior desempenho e maior custo

Em relação à memória do sistema, foi incluído um módulo interno de memória RAM com tamanho da pala-vra de 32 bits e de 32 Kbytes de capacidade.

Entradas e saídas de dados paralelos também foram incluídas para leitura e saída de dados. Durante parte do projeto foram usadas as chaves da placa DE-2 (switches) como entrada de dados para simular a entrada digital do sistema. No sistema final deve ser utilizado outro modo de entrada de dados, o conversor A/D.

O JTAG UART foi necessário para fazer a comunicação entre o FPGA e o computador, sendo utilizado para fazer a prototipação do hardware na placa.

O projeto também prevê a utilização de um botão para mudar a saída apresentada no LCD, portanto, foi incluído. O controlador de memória SDRAM também foi necessário ao projeto. Pois, na memória serão armazenados os valores de tensão e corrente para cálculo de potência e valores eficazes. A memória SDRAM tem 8 MBytes com largura de dados de 16 bits.

Além de ter incluído um controlador do LCD utilizado para mostrar as variáveis calculadas, um controlador ethernet para realizar a comunicação dos dados obtidos também foi adicionado. Finalmente, foram ajustados os endereços de base desses componentes conforme apresentado na figura 4.

Use	Conn.	Module Name	Description	Clock	Base	End	Tr
		topa_0	Nios II Processor				
		instruction_master	Avion Memory Mapped Master	clk_0			
		data_master	Avion Memory Mapped Master		TRC 0	TRC 31	
		sdram_slave	Avion Memory Mapped Slave		0x01000000	0x01000fff	
		sdram_memory_0	On-Chip Memory (SRAM or ROM)				
		a1	Avion Memory Mapped Slave	clk_0	0x01008000	0x0100ffff	
		switches	PIO (ParallelIO)				
		s1	Avion Memory Mapped Slave	clk_0	0x01010000	0x0101000f	
		LEDs	PIO (ParallelIO)				
		uart_slave	Avion Memory Mapped Slave	clk_0	0x01011000	0x0101100f	
		uart_uart_0	JTAG UART				
		avion_tag_slave	Avion Memory Mapped Slave	clk_0	0x01011040	0x0101104f	
		botao	PIO (ParallelIO)				
		s1	Avion Memory Mapped Slave	clk_0	0x01011020	0x0101102f	
		sdram_0	SDRAM Controller				
		s1	Avion Memory Mapped Slave	clk_0	0x00800000	0x0080ffff	
		character_led_0	16x2 Character Display				
		avion_lcd_slave	Avion Memory Mapped Slave	clk_0	0x01011050	0x0101105f	
		ethernet_0	ETHERNET				

Figura 4: Sistema no SOPC

Após definição da parte inicial do sistema, o próximo passo foi definir a entidade completa do sistema, integrando em VHDL, como ilustra a Figura 5; e a atribuição dos pinos da placa Altera DE-2, exemplificado na Figura 6.

```

SistemaNios.vhd
17  DRAM_CLK, DRAM_CHE : OUT STD_LOGIC;
18  DRAM_ADDR : OUT STD_LOGIC_VECTOR(11 DOWNTO 0);
19  DRAM_BA_1, DRAM_BA_0 : BUFFER STD_LOGIC;
20  DRAM_CS_N, DRAM_CAS_N, DRAM_RAS_N, DRAM_WE_N : OUT STD_LOGIC;
21  DRAM_DQ : INOUT STD_LOGIC_VECTOR(16 DOWNTO 0);
22  DRAM_UDQM, DRAM_LDQM : BUFFER STD_LOGIC;
23
24  -- LCD
25  LCD_DATA : inout std_logic_vector(7 downto 0);
26  LCD_ON : out std_logic;
27  LCD_ELON : out std_logic;
28  LCD_EN : out std_logic;
29  LCD_RS : out std_logic;
30  LCD_RW : out std_logic;
31
32  --Ethernet
33
34  EMET_CLK: OUT STD_LOGIC;
35  EMET_CMD: OUT STD_LOGIC;
36  EMET_CS_N: OUT STD_LOGIC;
37  EMET_DATA: INOUT STD_LOGIC_VECTOR (16 DOWNTO 0);
38  EMET_INT: IN STD_LOGIC;
39  EMET_RD_N: OUT STD_LOGIC;
40  EMET_RST_N: OUT STD_LOGIC;
    
```

Figura 5: Parte do código em VHDL da entidade do projeto.

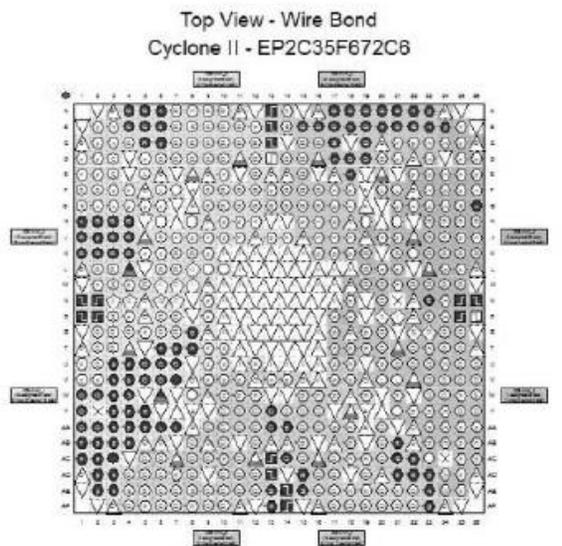


Figura 6: Diagrama de pinos do FPGA Cyclone II da Altera.

## 5 Camada de Software

A próxima etapa foi o desenvolvimento da camada de software que irá funcionar sobre o processador Nios II. O software foi desenvolvido em linguagem C devido ao suporte dessa linguagem na IDE (interface integrada de desenvolvimento) Quartus II. Durante o projeto foi implementada parte da solução de software com intuito de calcular tensão eficaz e testar o funcionamento básico do sistema em escrito VHDL.

A Nios II 9.1 IDE foi usada para a construção do software responsável pela análise dos sinais.

## 6 Resultados

Os resultados desse projeto foram a definição de métodos de cálculo das grandezas necessária para a medição

de qualidade de energia, a definição da estrutura necessária de um sistema de medição e a implementação do processador no dispositivo VHDL da placa Altera DE-2. Os códigos gerados em VHDL e em C para o processador também são os produtos finais do projeto.

## 7 Conclusões

O projeto descreveu uma forma alternativa de implementação para um sistema de monitoração de parâmetros utilizados para inferir a qualidade da energia elétrica. Uma solução simples e desenvolvida em hardware reconfigurável, que viabiliza a transmissão dos parâmetros para o monitoramento remoto.

## Referências

- [1] J. Baptista, R. Morais, A. M. Moura, P. Amaral & R. Costa. Monitorização digital de parâmetros associados à qualidade da energia eléctrica. in 11ª Conferência luso-espanhola de Engenharia Electrotécnica - 11CHLIE 2009, pp.-, 2009
- [2] J. S. Martins, C. Couto, J. L. Afonso, Qualidade de energia eléctrica, In *Anais do 3º Congresso Luso-Moçambicano de Engenharia – CLME'2003*, Maputo, Moçambique, 19-21, páginas. 219-231, 2003.
- [3] E. Mouli, RMS Calculation for Energy Meter Applications Using the ADE7756, AN-578, Analog Devices, 2003.
- [4] K. Nakashima, Valor Médio e Eficaz, Universidade Federal de Itajubá, 2007.
- [5] C. Costa. Projetos de circuitos digitais com FPGA. Érica, São Paulo, 2009.